

УДК 004.051

## ЭФФЕКТИВНОСТЬ КОНВЕЙЕРНОГО ПАРАЛЛЕЛИЗМА НА ПРИМЕРЕ УСТРОЙСТВ УМНОЖЕНИЯ

Никул В. В.

д.т.н., профессор каф. КИСС Дрозд А. В.

Одесский Национальный Политехнический Университет, УКРАИНА

**АННОТАЦИЯ.** Рассматриваются методы матричного и конвейерного параллелизма при построении арифметических устройств. Разрабатываются устройства матричного и конвейерного умножителей, которые исследуются по таким показателям, как сложность, производительность и энергоэффективность. Получена оценка эффективности конвейерного параллелизма.

**Введение.** Сегодняшние компьютерные системы строятся конвейерными, но с доминированием матричного параллелизма, поскольку секциями конвейера являются одноктактные устройства, выполняющие операции над параллельными кодами чисел: параллельными сумматорами и сдвигателями, матричными умножителями и делителями. Согласно ресурсному подходу [1], матричный параллелизм относится к нижнему уровню развития ресурсов – моделей, методов и средств, что проявляется в их низких показателях.

**Целью данной работы** является экспериментальное подтверждение повышения производительности и понижения энергопотребления конвейерных структур, участками которых являются одноразрядные устройства, в отличие от матричных структур.

**Основная часть работы.** Одноктактные устройства демонстрируют низкий уровень использования операционных элементов. Например, матричный  $n$ -разрядный умножитель, выполняющий ключевую операцию приближенных вычислений, поскольку она присутствует в самой записи чисел с плавающей точкой, содержит  $n^2$  операционных элементов,  $2n-2$  из которых соединены последовательно [2], т.е. каждый операционный элемент используется только  $1/(2n-2)$ -ю часть времени. Для 32-разрядных устройств это составляет 1,6% времени вычислений.

Альтернативой одноктактным устройствам являются поразрядные конвейеры, в которых матричный параллелизм секций сведен до минимума – одного операционного элемента. Это многократно улучшает отношение производительности к сложности цифровой схемы [3, 4].

Предлагается рассмотреть операцию умножения на примере устройств поразрядного конвейерного и одноктактного матричного умножителей, полученные результаты сравниваются для  $n$ -разрядных умножителей соответственно. Таблица 1 представляет результаты соотношения производительности к сложности умножителей, а также показывает, что конвейерный поразрядный умножитель в 1.5 раза (для 32 разрядов) выигрывает в соотношении производительности к сложности, чем одноктактный матричный, причем для 64 разрядных умножителей оценка производительности увеличивается и составляет разницу в 2.4 раза.

Таблица 1 – Оценка производительности поразрядного конвейерного умножителя и одноктактного матричного

<i>Number of bits</i>	8	16	32	64
<i>Pipeline</i>	3.11	4.29	5.14	5.9
<i>Matrix</i>	2.66	4.45	7.69	14.04
$K_I$	<b>0.86</b>	<b>1.04</b>	<b>1.49</b>	<b>2.38</b>

Вместе с тем, оценка удельного энергопотребления (таблица 2) показывает обратный эффект. Причем, проигрыш, который определяется количеством разрядов, обрабатываемых в такте, составляет разницу в 2.6 раз (для 32 разрядов), для 64 разрядных умножителей оценка энергопотребления уменьшается и поразрядный конвейерный умножитель в 1.8 раз менее энергоэффективен, чем одноктактный матричный.

Таблица 2 – Оценка энергоэффективности однократного матричного умножителя и поразрядного конвейерного

<i>Number of bits</i>	8	16	32	64
<i>Pipeline</i>	15.22	26.69	35.88	54.10
<i>Matrix</i>	6.62	10.33	13.83	30.23
$K_E$	<b>2.30</b>	<b>2.58</b>	<b>2.59</b>	<b>1.79</b>

Разработанный метод умножения по 2 разряда в такте, позволяет вдвое снизить этот проигрыш, существенно выравнивая сравниваемые решения по показателю удельного энергопотребления.

Сам эффект проигрыша является следствием ограниченности ресурсов, в первую очередь наших моделей, поскольку динамическая составляющая потребляемой энергии ставится в соответствие сумме количества переключений 0-1 и 1-0, в то время как должна быть разность, поскольку на переходе 0-1 логично затратить энергию, а на переходе 1-0 – вернуть по принципу аккумулятора, прекрасно работающего во многих отраслях, например, при разгоне и торможении электричек.

Таблица 3 – Оценка энергоэффективности однократного матричного и двухтактного конвейерного умножителя

<i>Number of bits</i>	16	32
<i>Pipeline(2)</i>	16.11	20.23
<i>Matrix</i>	10.33	13.83
$K_E$	<b>1.56</b>	<b>1.46</b>

Таблица 3 показывает результаты динамической составляющей энергопотребления предложенного двухтактного конвейерного и однократного матричного. Оценка производилась для разрядности 16 и 32, проигрыш составляет в 1.6 и 1.5 раз соответственно, в сравнение с поразрядным конвейерным умножителем, где проигрыш составлял разницу в 2.6 раз (для разрядностей 16 и 32).

**Выводы.** Выигрыш в производительности поразрядного конвейерного умножителя в 1.5 раза, чем однократного матричного сопоставляется проигрышу в энергоэффективности в 2.6 раза.

Прослеживается динамика уменьшения оценки проигрыша энергоэффективности при введении метода умножения по 2 разряда. Двухтактный конвейерный умножитель в 1.5 раз потребляет больше энергии, чем однократный матричный, а поразрядный конвейерный в 2.6 раз больше, чем однократный матричный умножитель. Таким образом, метод умножения по 2 разряда снизил энергопотребление на 42% в соответствии с поразрядным конвейерным умножителем.

### СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Зеленая ИТ-инженерия. В двух томах. Том 1. Принципы, модели, компоненты / Под ред. Харченко В.С. – Х.: Нац. Аэрокосмический ун-т им. Н.Е. Жуковского «ХАИ», 2014. – 594 с.
2. Мельник А.О. Архитектура компьютера. Наукове видання. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.
3. Дрозд Ю.В., Дрозд А.В., Аль-Даби М.М. Многопоточная конвейерная система и ее рабочее диагностирование // Электротехнические и компьютерные системы. – 2015. – № 19(95). – С. 218–221.
4. Drozd J., Drozd A., Antoshchuk S., Kushnerov A., Nikul V. Effectiveness of Matrix and Pipeline FPGA-Based Arithmetic Components of Safety-Related Systems // Proc. 8<sup>th</sup> IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications. – Warsaw, Poland, 24 – 26 Sept. – P. 785–789, 2015.