

УДК 004.315

В.В. Антонюк¹⁾, О.В. Дрозд¹⁾, І.М. Ніколенко²⁾

¹⁾ Одеський національний політехнічний університет, пр. Шевченка, 1, м. Одеса, 65044

²⁾ Навчально-науковий інститут холоду, кріотехнологій та екоенергетики Одеської національної академії харчових технологій, вул. Дворянська, 1/3, м. Одеса, 65082

АПАРАТНА МОДЕЛЬ ЦИФРОВИХ КОМПОНЕНТІВ КОМП'ЮТЕРНИХ СИСТЕМ

Розглядаються особливості організації апаратної моделі на FPGA, представлення в ній об'єкта діагностування й обслуговуючих блоків для розв'язку задач аналізу цифрових компонентів комп'ютерних систем. Обслуговуючі блоки забезпечують контролепридатність об'єкта діагностування та достовірність одержуваних результатів досліджень. Аналізуються можливості апаратної моделі в задачі синтезу тестів.

Ключові слова: Апаратна модель – FPGA – Об'єкт діагностування – Цифровий компонент – Синтез тестів – Контролепридатність – Достовірність результатів.

Particularities in structure of the hardware model on FPGA, representation in it of the object of diagnosis and served blocks for solving tasks of analysis of the digital components of computer systems are considered. The served blocks provide checkability of the object of diagnosis and reliability of the received results of researches. Facilities of the hardware model in a task of the test-pattern generation are analyzed.

Keywords: Hardware model – FPGA – Object of diagnosis – Digital component – Test-pattern generation – Checkability – Safety-critical systems.

I. ВСТУП

Проектування цифрових компонентів комп'ютерних систем, зокрема на FPGA (Field Programmable Gate Arrays), досягли рівня, що відкриває нові можливості в розв'язку задач аналізу схемотехнічних рішень [1].

Серед найбільш суттєвих можливостей слід виділити зросло оперативність розробки апаратних рішень. Сучасні системи автоматизованого проектування, такі як ALTERA Quartus II, Version 7.2 for Windows, дозволяють будувати в реальному часі й ефективно використовувати апаратні моделі для дослідження особливостей функціонування цифрових компонентів [2].

До переваг апаратної моделі необхідно віднести значне розширення простору розв'язання задач аналізу, що досягається за рахунок підвищення на кілька порядків продуктивності обчислень при проведенні діагностичних експериментів і відповідно складність розв'язуваних задач. Найбільша продуктивність обчислень може бути досягнута в межах однієї мікросхеми FPGA, що має достатньо широкі можливості для втілення закінчених проектних рішень [3].

Разом з тим, апаратна модель цифрових компонентів має низку особливостей, що суттєво може впливати на ефективність її використання. До них необхідно віднести апаратні несправності, обмежену складність схемотехнічних рішень, які можна розташувати в межах однієї мікросхеми FPGA, зміни в проектах, що можуть відбуватися при незначному перепроектуванні, та деякі інші.

Реалізація розширених можливостей за вирішенням задач аналізу вимагає проведення досліджень з вивчення особливостей апаратної моделі, визначення структури та методів проектування її блоків, що й становить предмет даної роботи та визначає її актуальність.

II. СТРУКТУРА АПАРАТНОЇ МОДЕЛІ ЦИФРОВИХ КОМПОНЕНТІВ

У складі апаратної моделі головна роль відводиться об'єкту діагностування (ОД), для якого в межах вирішення задач аналізу, зокрема, діагностування цифрових компонентів, необхідно забезпечити його контролепридатність, а також достовірність одержуваних результатів [4].

Контролепридатність (у разі тестового діагностування – тестопридатність) ОД складається з двох складових: його керованості й спостережуваності, які, як правило, поєднуються мультиплікативно [5].

Забезпечення складових контролепридатності вимагає нарощування апаратної моделі цифрових компонентів за рахунок засобів, що є зовнішніми стосовно ОД.

Керованість ОД досягається введенням до складу апаратної моделі формувачів для генерації на входи ОД послідовностей вхідних слів.

Аналіз комбінаційних схем або одноктактних пристроїв, у яких комбінаційна схема доповнена вхідним і (або) вихідним регістром, а також конвеєрів, складених з одноктактних пристроїв (без глобальних зворотних зв'язків), має спільні риси.

Названі класи ОД об'єднуються тим, що тестові послідовності скорочуються до окремих слів, тобто уся сукупність вхідних послідовностей, що необхідно згенерувати формувачем в межах проведення експерименту у апаратній моделі, трансформується у множину вхідних слів. Таким чином, упорядкування множини вхідних слів, що закладається у формувачі при визначенні закону генерації даних, не пов'язане з особливостями функціонування ОД. З цього витікає, що розв'язок задачі впорядкування множини вхідних слів у послідовності доцільно спрямувати безпосередньо на вдосконалення діагностичного експерименту в частині його підготовки або проведення. На стадії підготовки експерименту визначається схема формувача, яка може бути спрощена до реалізації на лічильниках, що формують найбільш прості послідовності даних.

У випадку дослідження за ОД автомата з пам'яттю формувач повинен генерувати досить різноманітні вхідні послідовності, що найбільш просто зберігати та зчитувати з пам'яті. Крім того, формувач має додаткову функцію встановлення автомата з пам'яттю у початковий стан.

Спостережуваність ОД забезпечується доступом до точок його схеми, що представляють інтерес для розв'язку задачі аналізу. До таких контрольних точок, як правило, відносяться всі вихідні точки, через які організується видача результату обчислень, а також задана множина внутрішніх точок ОД.

У процесі діагностичного експерименту необхідно запам'ятовувати значення в контрольних точках ОД для окремих вхідних слів або їх послідовностей. Тому апаратна модель повинна містити блок пам'яті для запам'ятовування значень контрольних точок і вхідних слів, на яких вони були згенеровані.

Крім того апаратна модель цифрових компонентів повинна бути доповнена блоком аналізу цінності даних, що запам'ятовуються. Данні можуть представляти цінність для дослідження при наявності конкретних значень або хоча б одного чи заданої кількості переключень, що відбувається на певній множині контрольних точок.

Цінність даних може аналізуватися одночасно з їхнім записом з контрольних точок у блок пам'яті або до запису, що відповідно знижує сумарний час на аналіз і запис даних або енергоспоживання, зменшуючи кількість вироблених записів. Якщо цінність даних не підтверджується, то в першому випадку блокується зміна адреси запису, а в другому випадку – сам запис.

При виникненні погрози переповнення блоку пам'яті необхідно зберігати запам'ятовані дані поза апаратною моделлю, що включає до її складу блок видачі результатів.

Структурна схема апаратної моделі, що задовольняє вимозі контролепридатності ОД, показана на рисунку 1.

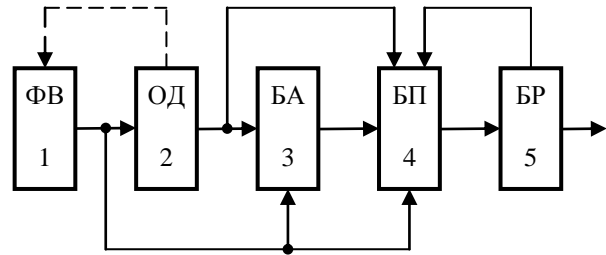


Рисунок 1 – Структурна схема апаратної моделі

Схема містить формувач послідовностей ФП 1, ОД 2, блок аналізу БА 3, блок пам'яті БП 4 і блок видачі результатів БР 5. Формувач 1 генерує вхідні послідовності для дослідження ОД 2. Блок 3 аналізує цінність даних, одержуваних від ОД 2, і при їхній важливості ініціює збереження в блоці 4 цих даних і частини вхідної послідовності, на яких вони були отримані. Блок 5 забезпечує видачу результатів досліджень із апаратної моделі щораз по заповненню пам'яті блоку 4 або в процесі її заповнення.

Для забезпечення достовірності одержуваних результатів функціонування апаратної моделі необхідно підтримати методами й засобами робочого діагностування [6].

Слід зазначити, що апаратна модель повинна будуватися автоматично по специфікації ОД і відповідно до задачі аналізу, що конкретизує характер вхідних послідовностей, критерії цінності одержуваних даних, що визначає специфікації для інших блоків.

Автоматизації проектування апаратної моделі сприяє набір стандартних розв'язків для побудови й робочого діагностування блоків 1 і 3 – 5. Для включення в цей перелік також ОД 2 необхідно вибрати для підтримки його функціонування просто реалізований метод робочого діагностування, наприклад, що тиражує схему ОД. До таких розв'язків відноситься побудова мажоритарної системи, каналами якої служать схеми ОД. Результат вибирається з виходів каналів порозрядно з використанням функції перенесення повного суматора. Враховуючи високу надійність засобів FPGA-проектів і доцільність зниження апаратних витрат, мажоритарна система може бути спрощена до двох каналів, що виявляють помилку на виході ОД з наступним повтором помилкового кроку роботи апаратної моделі. У цьому випадку структурна схема апаратної моделі доповнюється зворотним зв'язком від ОД до формувача для повторного задання вхідних слів (на рис. 1 показана пунктиром).

Серед задач аналізу можна виділити побудову перевіряючих та локалізуючих тестів для діагностування цифрових компонентів комп'ютерних систем [7]. У задачі синтезу тестів апаратна модель цифрових компонентів відкриває можливості перебору вхідних слів, спрямованого на активацію

всіх одномірних шляхів схеми ОД [8]. Такий підхід реалізується в межах методу заготівлі результатів, який набирає ефективності з підвищенням рівня паралелізму схемотехнічних рішень і, зокрема, лежить в основі їх реалізацій на FPGA [6]. Дійсно, кожна з мікросхем FPGA на початку проектування уявляє собою заготівку під FPGA-проект, а після програмування містить у LUT (Look-Up Table) таблиці з яких зчитуються результати, що відповідають вихідним даним вирішуваної обчислювальної задачі. Апаратна модель з урахуванням автоматизації її побудовання також є заготівкою для дослідження різних цифрових компонентів. Активація всіх одномірних шляхів схеми ОД також виконується із заготівкою результатів та вибором тих з них, що мають певну цінність для діагностичного експерименту.

Для скорочення часу перебору вхідних послідовностей і відповідно підвищення складності розв'язуваних задач доцільно додатково збільшувати продуктивність апаратної моделі. У випадку аналізу ОД, що є комбінаційною схемою, продуктивність може бути підвищена конвеєризацією обчислень, що виконуються в ОД, а для конвеєрів з великою тривалістю такту – зменшенням цієї тривалості за рахунок додаткової розбивки схеми ОД на ділянки конвеєра. В FPGA-проекті схемним розв'язком з найменшою тривалістю такту є логічний осередок LE (Logic Element), що містить один LUT і один тригер на його виході. Конвеєризація комбінаційної схеми з одержанням мінімального за тривалістю такту передбачає включення в схему FPGA-проекту тригера після кожного LUT (тобто використання в складі логічного осередку LE обох елементів: і LUT, і тригера). Для збереження функціональності схеми ОД необхідно передбачити також уведення додаткових тригерів для одночасного одержання даних на адресних входах кожного із задіяних LUT. Для конвеєрів з великою тривалістю такту продуктивність може бути підвищена шляхом переходу до найменшої тривалості такту для кожної його ділянки, тобто конвеєризацією комбінаційної схеми ділянки.

III. ВИСНОВОК

Таким чином, досягнутий рівень систем автоматизації проектування забезпечує побудовання та використання в реальному часі апаратної моделі цифрових пристроїв для дослідження їх особливостей в задачах аналізу, зокрема, тестового діагностування.

Використання апаратної моделі суттєво підвищує продуктивність обчислень протягом здійснення експерименту. Додаткове збільшення продуктивності може бути досягнуто конвеєризацією обчислень в ОД, що досить просто може бути виконано в FPGA-проектах. Підвищена продуктивність обчислень забезпечує розширення кола

вирішуваних задач в напрямку збільшення їх складності.

Разом з тим, функціональність апаратної моделі повинна бути забезпечена з урахуванням вимог, що пред'являються до ОД у частині його контролепридатності та до результатів досліджень за їх достовірністю. Тому до структури апаратної моделі залучаються окрім самого ОД також низка обслуговуючих блоків, до яких входять формувач вхідних послідовностей, блок аналізу цінності одержуваних даних, блок пам'яті для збереження цінних даних та блок видачі результатів досліджень.

ЛІТЕРАТУРА

1. **Kharchenko V.S., Sklyar V.V.** (eds). FPGA-based NPP I&C Systems: Development and Safety Assessment. – Kirovograd: RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008. – 188 с.
2. Design Optimization for Altera Devices. Qii52005-2.0. Quartus II Handbook. Vol. 2. Altera Corporation, 2004.
3. Netlist Optimizations and Physical Synthesis. Qii52007-2.0. Quartus II Handbook. Vol. 2. Altera Corporation, 2004.
4. **Щербак Н.С.** Достоверность работы цифровых устройств. – М.: Машиностроение, 1989. – 224 с.
5. **Беннетт Р.Дж.** Проектирование тестопригодных логических схем. – М.: Радио и связь, 1995. – 180 с.
6. **Дрозд А.В., Харченко В.С., Антошук С.Г., Дрозд Ю.В.,** и др. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. Дрозда А.В., Харченко В.С. – Харьков: Нац. аэрокосмический ун-т им. Н.Е.Жуковского «ХАИ», 2012. – 614 с.
7. **Пархоменко П.П., Согомоян Е.С.** и др. Основы технической диагностики. – М.: Энергия, 1981. – 320 с.
8. **Антонюк В.В., Дрозд Ю.В., Дрозд А.В.** Модель входных последовательностей для тестирования цифровых схем с позиции развития ресурсов // Тр. Одес. политехн. ун-та. – Одесса, 2012. – Вып. 2 (30). – С. 122 – 125.

Получена в редакции 20.03.2013, принята к печати 22.03.2013