

**РОЗРОБКА ТА ДОСЛІДЖЕННЯ ТЕСТЕРА
ДЛЯ МІКРОСХЕМ ПАМ'ЯТІ**

Сініца О.П.

Науковий керівник - д.т.н., проф. каф. «Комп'ютерних інтелектуальних систем та мереж», Дрозд О.В.

У сучасних умовах виробництва та експлуатації обчислювальних машин діагностика та контроль запам'ятовуючих пристроїв (ЗП), є надзвичайно актуальним завданням. Запам'ятовуючі пристрої служать для зберігання інформації та обміну нею з іншими цифровими пристроями. Оперативні запам'ятовуючі пристрої зберігають дані, які використовуються в поточній програмі і можуть бути змінені в будь-який момент часу.

У сучасних умовах існує кілька способів діагностування цифрових мікросхем без випаювання їх з друкованої плати. Найбільш поширений - тестове діагностування (ТД). При такому способі спочатку формується діагностична модель об'єкта діагностики, генерується набір тестових програм і потім здійснюється безпосередньо процес діагностування.

Традиційний підхід рішення більшості завдань ТД дискретних пристроїв складається в застосуванні для кожної з них індивідуального підходу, починаючи від ідеї і закінчуючи технічною реалізацією. Це призводить до високої трудомісткості і, врешті-решт, до високої вартості діагностичного забезпечення. У той же час загальна природа цих завдань створює ґрунт для уніфікованого підходу. З іншого боку останнім часом на ринку обчислювальної техніки отримали стрімкий розвиток САПР з функцією імітаційного моделювання. У зв'язку з цим особливо актуальним стає розробка уніфікованого підходу для вирішення діагностичних завдань на основі імітаційного моделювання.[1]

Мета роботи полягає в розробці та дослідженні тестера для мікросхем пам'яті на базі метода "Дощик" для розширення множини несправностей.

Суть даного методу полягає в послідовному записі множини нулів і одиниць, що візуально схоже на дощ. Після проходження даної послідовності через оперативно-запам'ятовуючий пристрій на виході отримуємо деяку комбінацію і порівнюємо її з початковою.

Відповідно до поставленої мети, в роботі необхідно вирішити наступні *завдання*:

- Виконати аналіз існуючих систем тестової діагностики ЗП, а також методів і моделей, які використовувалися при їх проектуванні.

- Розробити VHDL-модель для тестового діагностування ЗП на основі метода “Дощик”.

- На основі розробленої моделі провести експерименти по зіставленню теоретично очікуваних результатів запропонованого методу з практичними результатами.

Об'єктом дослідження є процес ТД мікросхем та блоків пам'яті.

Предметом дослідження є прийнятий метод тестового діагностування ЗП “Дощик”.

Несправності цифрових схем з'являються в результаті застосування несправних компонентів, таких, як логічні елементи, що реалізують прості логічні функції, елементи пам'яті та ін. Крім того, причиною несправностей можуть бути виникнення розривів або коротких замикань в між компонентних з'єднаннях, порушення умов експлуатації схеми, наявність помилок при проектуванні і виробництві та ряд інших чинників.

Найбільш загальною і часто застосовується моделлю логічних несправностей є константні несправності: константний нуль і константна одиниця, що означає наявність постійного рівня логічного нуля або логічної одиниці на одному з полюсів логічного елемента. Така модель несправностей часто називається класичною і широко використовується для опису інших типів несправностей. Несправності типу «Коротке замикання» з'являються при короткому замиканні входів і виходів логічних елементів.

Інверсні несправності описують фізичні дефекти ЦС, що призводять до появи фіктивного інвертора по входу або з виходу логічного елемента. Інверсні несправності в сукупності з константним, у ряді випадків використовуються для побудови повної моделі несправної цифрової схеми.[2]

Аналізуючи особливості організації запам'ятовуючих пристроїв можна конкретизувати напрямок досліджень. Операційна частина ЗП ефективно тестується методом “Дощик”, але основна складність складається при тестуванні запам'ятовуючих пристроїв, які можна розглядати як ОЗП, що функціонують у режимі буферизації даних.

Приватними випадками такого аналізу є метод рахунку переходів і запропонований в даній роботі метод попарного зчитування адреси. Провівши розрахунок імовірнісних характеристик лічильних схем і на основі їх аналізу виявимо неповну ефективність існуючого методу.

Подальший розвиток методу “Дощик” буде реалізований в програмному середовищі Quartus II. Завдяки можливості побудувати імітаційну VHDL-модель зможемо виявляти такі несправності як константні. В магістерській роботі формалізується метод ТД “Дощик”, розкриються механізми адресних помилок. Потрібно розробити структури аналізаторів, що реалізують метод, і методика оцінки виявляти їх здібності.

Отже, маємо відомий метод ТД ЗП “Дощик”, в якому не розкривається повна множина несправностей. Створивши імітаційну модель такого методу і додавши туди попарне зчитування адреси зможемо виявляти недоліки і несправності технічної частини ЗП, що є позитивною якістю в ТД нинішнього рівня розвитку технічних засобів.

СПИСОК ЛІТЕРАТУРИ

1. Хаханов В.І. Контроль та діагностика обчислювальних пристроїв та систем: Навч. Посібник. - Харків: ХВУ, 1997. - 304 с.
2. Угрюмов Є.П. Цифрова схемотехніка. - СПб.: БХВ - Санкт-Петербург. - 2000. - 528 с.