

РОЗШИРЕНИЙ ОПИС МІКРОСХЕМ ДЛЯ ПРИСКОРЕНОГО СИНТЕЗУ ТЕСТІВ

Решта К.О.

Науковий керівник – проф. каф. «Комп'ютерні інтелектуальні системи та мережі»,

докт. техн. наук Дрозд О.В.

Тестування цифрових схем значно спрощується, коли вбудован інтерфейс JTAG, але це не завжди можливо, крім того, в експлуатації знаходиться безліч схемних рішень, що не охоплені інтерфейсом JTAG, який визначається стандартом IEEE 1149.1 Boundary Scan Architecture [1]. Тому доцільно і надалі розвивати класичні методи синтезу тестів. Однак вони вимагають значних витрат часу та істотно обмежують складність об'єктів діагностування. Але можливості цих методів у теперішній час постійно розширюються.

Метою розробити є спосіб скорочення часу синтезу тестів за допомогою розширених форматів опису інтегральних мікросхем. Тести синтезуються за структурним методом, що виконується на основі *d-алгоритму* [2]. Об'єктом діагностування є цифрові схеми, реалізовані на типових елементах заміни з використанням стандартних роземів та інтегральних мікросхем (ИМС), що мають опис у бібліотеках. У реалізованому проекті є ряд обмежень на режими синхронізації елементів з пам'яттю, які надалі передбачається частково або повністю зняти.

Формати опису інтегральних мікросхем можуть створюватися засобами VHDL - мови. VHDL – програма доповнюється описом *d-кубів* . При створенні розширеного опису зменшиться область пошуку помилок та зменшиться час їх виявлення, оскільки передбачено можливість відслідковувати *d-* і \bar{d} - перепади в прямому та зворотному порядку

ВИКОРИСТАНІ ДЖЕРЕЛА

1. IEEE Standard 1149.1-1990: IEEE Standard Test Access Port and Boundary Scan Architecture // IEEE Standard Board. — 1993. — 21 p.
2. Локазюк В.М., Савченко Ю.Г. Надійність, контроль, діагностика і модернізація ПК: Посібник — К.: Видавничий центр «Академія», 2004. — 376 с.