

УДК 621.372.54

Н.Б. Копытчук, д-р. техн. наук, проф.,  
А.Ю. Мельниченко, магистр,  
Одес. нац. политехн. ун-т

## ЭФФЕКТИВНЫЕ РЕАЛИЗАЦИИ ПОЛИФАЗНОЙ СТРУКТУРЫ МНОГОСКОРОСТНЫХ КИХ-ФИЛЬТРОВ

*М.Б. Копытчук, О.Ю. Мельниченко.* **Ефективні реалізації поліфазної структури багатошвидкісних СІХ-фільтрів.** Розроблено нові пряму та транспоновану поліфазні структури багатошвидкісних СІХ-фільтрів. За допомоги запропонованого методу досягається зменшення споживаної потужності й апаратних витрат. Наведено приклад структур, що пропонуються.

*Н.Б. Копытчук, А.Ю. Мельниченко.* **Эффективные реализации полифазной структуры многоскоростных КИХ-фильтров.** Разработаны новые прямая и транспонированная полифазные структуры многоскоростных КИХ-фильтров. Посредством предложенного метода достигается уменьшение потребляемой мощности и аппаратных затрат. Приведен пример предложенных структур.

*M.B. Kopytchuk, O.Iu. Melnychenko.* **Efficient implementations of multirate FIR-filters polyphase structures.** New direct and transposed polyphase structures of multirate FIR-filters were developed. Decrease of power consumption and hardware cost is achieved with the aid of the proposed method. An example of the introduced structures is given.

Составной частью многих устройств для преобразования и обработки информации, таких как  $\Sigma\Delta$  (Сигма-Дельта) АЦП и ЦАП, преобразователи потоков данных из одного стандарта в другой и т.п. [1], являются многоскоростные цифровые фильтры, от эффективности реализации которых, выражаемой аппаратными затратами и потребляемой мощностью, зависит эффективность реализации всего устройства. Поскольку в теоретических исследованиях цифровых фильтров мало внимания уделяется конечным схемотехническим решениям, а основным критерием эффективности полученной схемы является число умножений и сложений [1], то поиск структур, позволяющих получить экономичные аппаратные реализации, имеет большое практическое значение.

Существуют различные подходы и структурные схемы для эффективной организации вычислительного процесса в случае целочисленного понижения или повышения частоты дискретизации сигнала — децимации и интерполяции [2]. Одной из широко используемых структурных схем дециматоров и интерполяторов является полифазная, легко применимая, если для фильтрации используются фильтры с конечной импульсной характеристикой (КИХ-фильтры). В общем случае она не позволяет уменьшить количество умножителей и сумматоров в схеме, однако существенно снижает вычислительную нагрузку на аппаратуру. Эффект достигается посредством выполнения арифметических операций на выходной частоте для дециматора и на входной — для интерполятора. Количество арифметических операций в единицу времени сокращается в  $M$  раз для дециматора с целочисленным коэффициентом  $M$  и в  $L$  раз для интерполятора с целочисленным коэффициентом  $L$  [1].

В ряде случаев необходимо изменение частоты дискретизации в дробное число раз. Например, отношение частоты дискретизации АЦП к ширине спектра сигнала может оказаться дробным числом. Теоретически для повышения частоты дискретизации в  $L/M$  раз, где  $L$  и  $M$  — взаимно простые целые числа, достаточно произвести дополнение сигнала  $L-1$  нулями, цифровую фильтрацию, а затем прореживание в  $M$  раз. Если  $L < M$ , частота дискретизации понижается. Прямая реализация такой структуры крайне неэффективна с вычислительной точки зрения. Однако при использовании КИХ-фильтров и в этом случае возможно применение полифазной многоскоростной структуры без изменения передаточной функции  $H(z)$  [3]. Вычисления производятся на максимально низкой частоте, которую можно достичь без распараллеливания

арифметических операций, т.е. умножитель для каждого коэффициента  $h_i$  фильтра реализуется только один раз.

Существуют проблемы применения многоскоростных КИХ-фильтров с полифазной структурой в устройствах с ограниченными аппаратными ресурсами или потребляемой мощностью.

Для эффективной аппаратной реализации многоскоростного фильтра проведен анализ и сравнение его известных полифазных структур [3...5]. Ключевой идеей, позволяющей использовать полифазную структуру при дробных коэффициентах преобразования частоты, является разложение произвольной задержки  $z^{-k}$ , где  $k$  — неотрицательное целое, в произведение вида  $z^{lL}z^{mM} = z^{lL+mM}$ , где  $l, m$  — целые числа, т.е.,  $lL+mM = -k$ . Теория чисел позволяет математически обосновать подобное разложение.

Можно производить разложение задержки в каждом звене согласно уравнениям

$$\begin{aligned} lL - mM &= -k, & \text{если } \forall k(k < M); \\ -lL + mM &= -k, & \text{если } \forall k(k < L), \end{aligned} \tag{1}$$

подбирая  $l$  и  $m$  таким образом, что  $0 \leq l < M$ ,  $0 \leq m < L$ . Для каждой ветви существует единственный такой набор чисел  $l$  и  $m$  [3].

Известен другой подход, требующий меньше математических операций для разложения задержек [4, 5]. Умножением на  $k$  обеих частей уравнения разложения единичной задержки  $z^{-1}$

$$l_1L - m_1M = -1, \tag{2}$$

где  $l_1, m_1$  — неотрицательные целые, полученные по (1) при  $k = 1$ ,

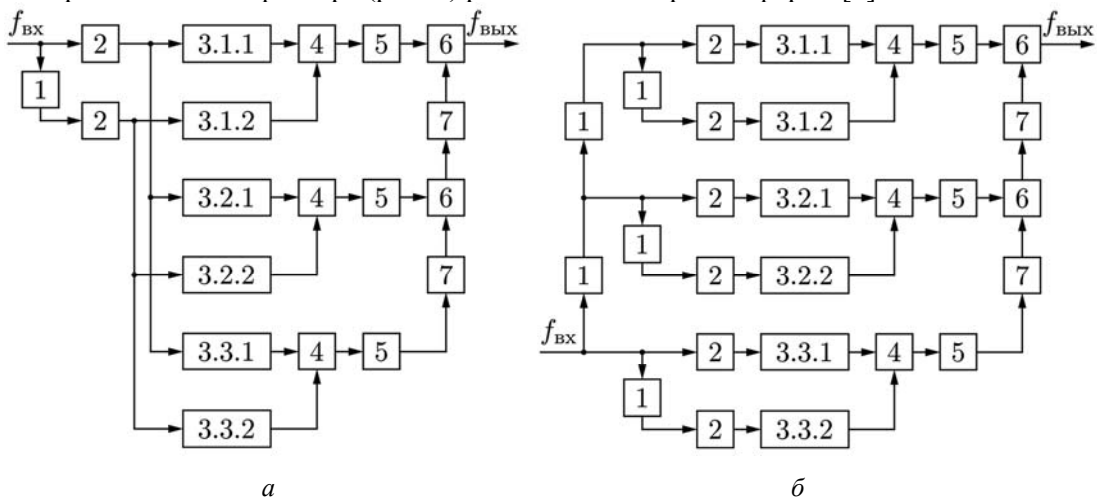
получают уравнение разложения любой задержки  $z^{-k}$

$$(kl_1)L - (km_1)M = -k. \tag{3}$$

В этом случае числа  $l = kl_1$  и  $m = km_1$  уже не являются наименьшими по модулю числами, удовлетворяющими (1).

Представлены результаты анализа и усовершенствования полифазных структур многоскоростных фильтров для частного случая при  $L = 3$ ,  $M = 2$  и передаточной функции КИХ-фильтра  $H(z) = \sum_{i=0}^{11} h_i z^{-i}$ , где  $h_i$  — отсчеты импульсной характеристики фильтра.

Предлагается число коэффициентов КИХ-фильтра определить как  $n = GLM$ , где  $G = 2$  — целый коэффициент, вводимый для упрощения записи. Если  $n$  не кратно  $LM$ , его всегда можно увеличить до ближайшего кратного, дополнив импульсную характеристику  $h$  соответствующим числом нулей. КИХ-фильтры в ветвях полифазной структуры многоскоростного КИХ-фильтра (рис. 1) реализованы в прямой форме [2].



*Рис. 1. Полифазные структуры многоскоростного КИХ-фильтра с отдельным разложением задержек  $z^{-k}$  в каждом звене (а) и на основе разложения единичной задержки  $z^{-1}$  (б): 1, 7 — элементы задержки  $z^{-1}$ ; 2 — компрессоры частоты дискретизации с коэффициентом 2; 3.1.1...3.3.2 — КИХ-фильтры с передаточными функциями  $h_3z^{-1} + h_9z^{-2}$ ,  $h_5z^{-1} + h_{11}z^{-2}$ ,  $h_0 + h_6z^{-1}$ ,  $h_1 + h_7z^{-1}$ ,  $h_2 + h_8z^{-1}$ ,  $h_4 + h_{10}z^{-1}$  (а) и с передаточными функциями  $h_0 + h_6z^{-1}$ ,  $h_3 + h_9z^{-1}$ ,  $h_1 + h_7z^{-1}$ ,  $h_4 + h_{10}z^{-1}$ ,  $h_2 + h_8z^{-1}$ ,  $h_5 + h_{11}z^{-1}$  (б), соответственно; 4, 6 — сумматоры; 5 — экспандеры частоты дискретизации с коэффициентом 3*

Если частоту входного сигнала многоскоростного фильтра обозначить  $f_{\text{вх}}$ , то выходная частота  $f_{\text{вых}} = \frac{L}{M} f_{\text{вх}} = \frac{3}{2} f_{\text{вх}}$ , а частота, на которой выполняются арифметические операции, —  $f_{\text{вх}} = \frac{1}{M} f_{\text{вх}} = \frac{1}{2} f_{\text{вх}}$ .

При реализации полифазной структуры многоскоростного КИХ-фильтра с отдельным разложением задержек  $z^{-k}$  в каждом звене — цифровом КИХ-фильтре — согласно (1) (рис. 1, а) требуется всего 16 регистров, из которых один имеет разрядность, равную входной, и работает на частоте  $f_{\text{вх}}$ , 10 — разрядность, равную входной, и работают на частоте  $f_{\text{вх}}$ , пять — разрядность, равную выходной, и работают на частоте  $f_{\text{вых}}$ . Определить количество регистров просто непосредственным подсчетом на структурной схеме, учитывая, что каждая единичная задержка, а также каждый компрессор или экспандер частоты дискретизации реализуются с помощью одного регистра. При реализации структуры с разложением задержек  $z^{-k}$  на основе разложения единичной задержки  $z^{-1}$  согласно (2, 3) (рис. 1, б) требуется 24 регистра, при этом пять регистров имеют разрядность, равную входной, и работают на частоте  $f_{\text{вх}}$ , 12 — разрядность, равную входной, и работают на частоте  $f_{\text{вх}}$ , 7 — разрядность, равную выходной, и работают на частоте  $f_{\text{вых}}$ . Преимущество первой структуры над второй выражается в снижении требований к аппаратным затратам и потребляемой мощности.

В целом полифазную структуру многоскоростного КИХ-фильтра можно представить как последовательное соединение трех блоков [3]: преобразователя последовательного многобитового сигнала в параллельный — блоки 1 и 2, матрицы цифровых КИХ-фильтров 3.1.1...3.3.2 с сумматорами 4 на выходах и преобразователя параллельного многобитового сигнала в последовательный — блоки 5 и 6. Предлагается для уменьшения аппаратных затрат в полифазной структуре многоскоростных КИХ-фильтров уменьшить количество элементов памяти.

Для уменьшения количества элементов памяти (числа регистров) в матрице КИХ-фильтров можно заменить несколько линий задержки, подключенных на входе к одному узлу, одной, что не изменяет передаточную функцию системы  $H(z)$  [6]. В предлагаемой структуре фильтры матрицы реализованы в прямой форме [2], число регистров в матрице уменьшено с 8 (см. рисунок 1, а) до 3 (рис. 2, а).

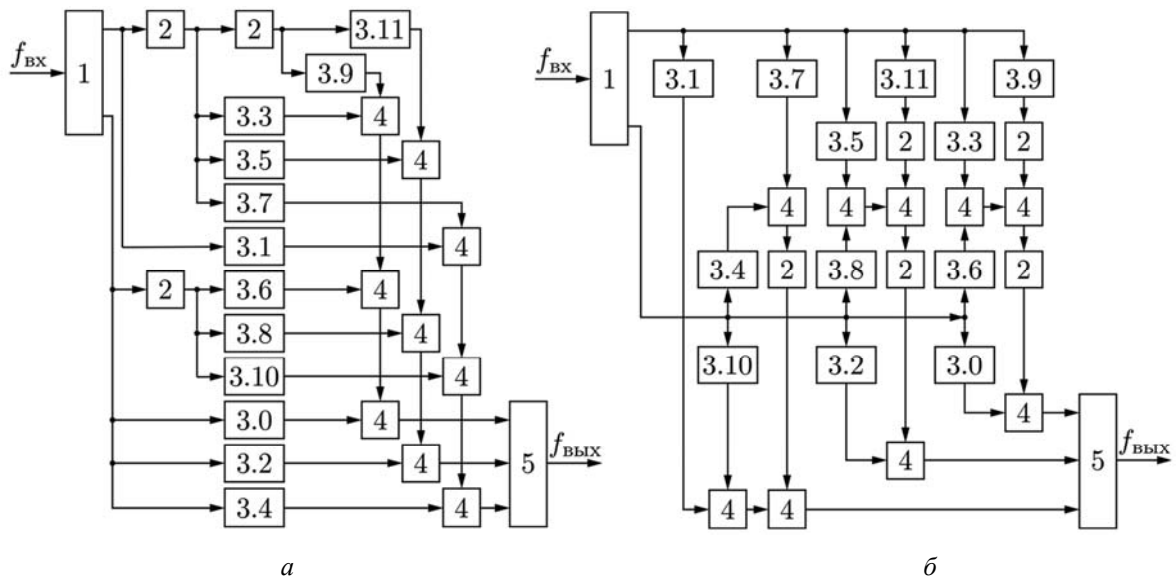


Рис. 2. Предлагаемые полифазные структуры многоскоростных КИХ-фильтров с КИХ-фильтрами в матрице, реализованными с совмещенными линиями задержки в прямой (а) и в транспонированной (б) формах, где 1 — преобразователь последовательного многобитового сигнала в параллельный, 2 — элемент задержки  $z^{-1}$ , 3.0...3.11 — умножители с коэффициентами  $h_0 \dots h_{11}$ , соответственно; 4 — сумматоры, 5 — преобразователь параллельного многобитового сигнала в последовательный

Преобразователи последовательных и параллельных сигналов изображены в виде отдельных блоков 1 и 5, соответственно (рис. 2) без указания какой-либо конкретной схемы.

Во многих случаях транспонированная структура КИХ-фильтров оказывается предпочтительнее прямой, обладающей меньшим быстродействием [1]. При использовании транспонированной структуры, фактически реализующей конвейерную обработку входного сигнала без увеличения задержки выходного, матрицу фильтров следует проектировать иным образом, поскольку невозможно заменить линии задержек для входного сигнала одной. Однако, как и в фильтрах целочисленной интерполяции и децимации, можно заменить линии задержек, хранящие промежуточные результаты вычислений, одной [4]. Эти преобразования не изменяют основных соотношений между узловыми переменными направленного сигнального графа, представляющего структуру фильтра, и передаточную функцию всей системы [6]. В полученной структуре (рис. 2, б) число регистров в матрице фильтров уменьшено с 8 до 5, разрядности регистров в общем случае не равны входной, поскольку в транспонированной структуре КИХ-фильтров зависят от коэффициентов и количества округляемых разрядов в промежуточных вычислениях.

Структурная схема преобразователя последовательного многобитового сигнала в параллельный с линией задержки известна из теории цифровой обработки сигналов [2], как наиболее универсальная (рис. 3, а).

Каждый элемент 1 задержки реализуется регистром, работающим на входной частоте  $f_{\text{вх}}$ , каждый компрессор частоты — регистром, работающим на той же частоте, что и фильтры в матрице, —  $f_{\text{вх}}$ .

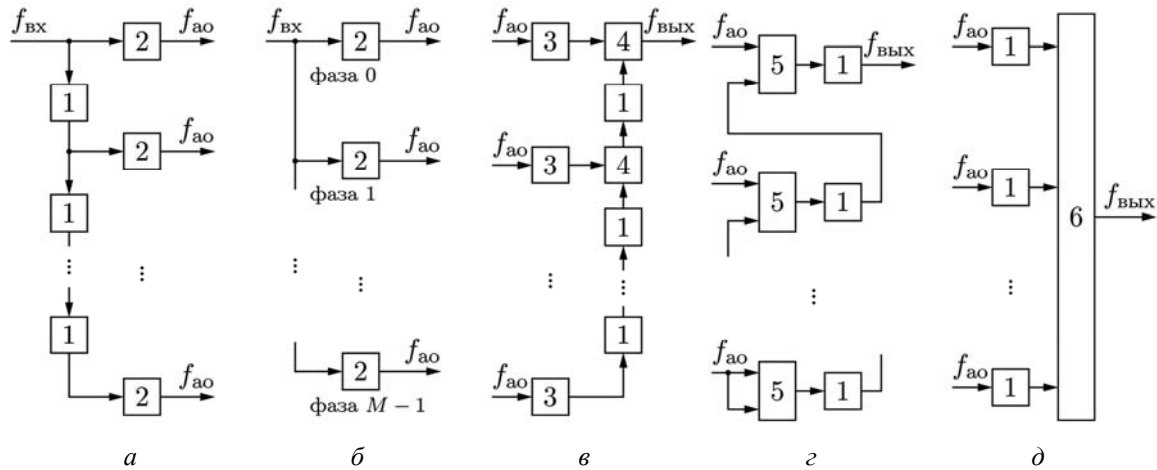


Рис. 3. Преобразователи многобитового сигнала: последовательного в параллельный с использованием линии задержки [2] (а) и предлагаемый — с использованием синхроимпульсов с различными фазами (б); параллельного в последовательный с использованием линии задержки [2] (в) и предлагаемые — на основе многоразрядного сдвигового регистра (г) и с использованием мультиплексора на выходе (д); где 1 — элемент задержки  $z^{-1}$ ; 2 — компрессор частоты дискретизации с коэффициентом  $M$ ; 3 — экспандер частоты дискретизации с коэффициентом  $L$ ; 4 — сумматор; 5 — мультиплексор 2 в 1; 6 — мультиплексор  $L$  в 1

Предлагается структурная схема преобразователя последовательного многобитового сигнала в параллельный без линии задержки (рис. 3, б). Теоретически сокращаются аппаратные затраты, но каждый компрессор частоты 2 принимает синхроимпульсы своей определенной фазы, что усложняет схему генерации управляющих синхросигналов (на рисунке не показана). Обеспечить работу компрессоров частоты 2 с разными фазами можно двумя способами — генерируя  $M$  синхросигналов с частотой  $f_{\text{вх}}$ , сдвинутых во времени на разную величину, или воспользовавшись регистрами со входами разрешения записи, тактируя их одним и тем же синхросигналом с частотой  $f_{\text{вх}}$  и обеспечивая соответствующими сигналами разрешения записи.

Окончательный выбор структуры преобразователя последовательного многобитового сигнала в параллельный будет зависеть от конкретных условий реализации. Например, если в устройстве используются синхросигналы со всеми фазами, подходящими для управления компрессорами частоты дискретизации, то предпочтительнее предложенная схема (рис. 3, б). Однако ее применение может оказаться невозможным из-за отсутствия аппаратных ресурсов для генерации управляющих синхросигналов. Сравнение предлагаемых структур многоскоростного КИХ-фильтра проводилось с известным вариантом с линией задержки (рис. 3, а), как более универсальным.

Структурная схема преобразователя параллельного многобитового сигнала в последовательный (рис. 3, в) также известна из теории цифровой обработки сигналов [2]. Каждый элемент 1 задержки реализуется регистром, работающим на частоте  $f_{\text{ввых}}$ , каждый экспандер частоты 3 — регистром, принимающим сигнал на частоте матрицы фильтров  $f_{\text{вх}}$  и сбрасывающим значение выходного сигнала в ноль после первого синхроимпульса на частоте  $f_{\text{ввых}}$ . Поскольку в схемах цифровых фильтров чаще всего применяются двоичный дополнительный или обратный коды, в структуре преобразователя возможно некоторое упрощение. Алгоритм продвижения сигнала по регистрам схемы таков, что в любой момент времени по крайней мере на один из двух входов каждого сумматора 4 подается ноль. Это позволяет использовать многоразрядные сумматоры без переносов, представляющие собой набор двухвходовых вентилях “исключающее ИЛИ” — по одному вентилю для каждого

разряда. Та же причина позволяет далее заменить каждый из вентиляей “исключающее ИЛИ” на более простой вентиль “ИЛИ”.

Предлагаются две схемы преобразователя параллельного многобитового сигнала в последовательный (рис. 3, *з, д*). В первой, на основе многоразрядного сдвигового регистра, все элементы памяти 1 работают на частоте  $f_{\text{вых}}$ , перед каждым входом которых установлен многоразрядный мультиплексор 2 в 1 — блок 5. Управление всеми мультиплексорами 5 производится с помощью одного счетчика (на схеме не показан), который каждые  $L$  тактов подает сигнал “загрузка”, а в остальное время — “сдвиг”. Схема позволяет сэкономить  $L - 1$  регистров.

Во второй схеме на основе мультиплексора (рис. 3, *д*) отсутствует линия задержки, тем самым экономится  $L - 1$  регистров. Все элементы задержки 1 работают на частоте матрицы фильтров  $f_{\text{вх}}$  и представляют собой обычные регистры. Выходы всех элементов задержки 1 поданы на входы мультиплексора  $L$  в 1 — блок 6, адресный вход которого управляется счетчиком (на схеме не показан). В схеме такое же число регистров, что и в предыдущей, но они работают на меньшей частоте.

Из трех схем преобразователей параллельного многобитового сигнала в последовательный наименее универсальна содержащая мультиплексор (рис. 3, *д*), — ее быстродействие самое низкое из-за аппаратной сложности мультиплексора, которая может быть приближенно оценена снизу как совокупность  $L (\lfloor \log_2 L \rfloor + 1)$ -разрядных вентиляей “И” и одного  $L$ -разрядного вентиля “ИЛИ”. Мультиплексор можно было бы исключить, если использовать  $Z$ -состояние (переход в высокоимпедансное состояние для устранения взаимного влияния выходов различных устройств, подключенных к одному узлу схемы) на выходах регистров 1, но при проектировании специализированных микросхем и программировании программируемых логических интегральных схем не принято применять  $Z$ -состояние для внутренних сигналов из-за сложностей при тестировании. Предпочтение этой структуре можно отдать только при небольших значениях  $L$  и работы на низких для используемой схемотехнической базы частотах.

Комбинационная логика — блоки 4 и 5 — в двух других схемах (рис. 3, *в, з*) равномерно распределена между элементами 1 памяти, и из-за ее невысокой сложности, приблизительно оцениваемой, как один вентиль “ИЛИ” в первом случае и два вентиля “И” вместе с вентилем “ИЛИ” в другом, быстродействие схем будет приблизительно равным и выше, чем в преобразователе на основе мультиплексора. Схема на основе многоразрядного сдвигового регистра (рис. 3, *з*) содержит на  $L - 1$  регистров меньше, чем схема на основе линии задержки (рис. 3, *в*). Наличие управляющего счетчика (на схеме не показан) не является недостатком по сравнению с остальными схемами, поскольку в них этот счетчик тоже необходим. Кроме того, выход схемы на основе многоразрядного сдвигового регистра является выходом одного из регистров, т.е., нет необходимости в применении дополнительных элементов памяти, если выход многоскоростного фильтра подается на выходной порт микросхемы. Благодаря указанным преимуществам для усовершенствования многоскоростного КИХ-фильтра использована схема на основе многоразрядного сдвигового регистра (рис. 3, *з*).

В результате анализа известных теоретических структур полифазных многоскоростных КИХ-фильтров предложены их эффективные модификации для программируемых логических интегральных схем или специализированных микросхем. Предложены схемотехнические усовершенствования отдельных блоков многоскоростных фильтров, позволившие уменьшить общее число регистров с 16 (рис. 1, *а*) до 9 (рис. 2, *а; 3, а, з*) или воспользоваться схемой с 11 регистрами (рис. 2, *б; 3, а, з*) при необходимости введения конвейеризации для повышения рабочей частоты фильтра. Снижение общего числа регистров при неизменной структуре и режиме работы комбинационной логики позволяют с высокой степенью достоверности говорить о понижении аппаратных затрат и потребляемой мощности. Для определения численных значений, характеризующих эффективность полученных теоретических решений, необходимы дополнительные экспериментальные исследования. При этом результаты будут

несколько различны в зависимости от используемой элементной базы и особенностей обрабатываемых сигналов, и возможно ухудшение других параметров схем, например, максимальной рабочей частоты и площади микросхемы — их появление и влияние будет зависеть от конкретных условий реализаций.

### Литература

1. Meyer-Baese, U. Digital signal processing with field programmable Gate Arrays / U. Meyer-Baese. — 3-d ed. — New York: Springer Berlin Heidelberg, 2007. — 796 p.
2. Гольденберг, Л.М. Цифровая обработка сигналов / Л.М. Гольденберг, Б.Д. Матюшкин, М.Н. Поляк. — 2-е, перераб. и доп. изд. — М.: Радио и связь, 1990. — 256 с.
3. Chia-Chuan, H. Polyphase filter matrix for rational sampling rate conversions / H. Chia-Chuan // Acoustics, Speech, and Signal Processing. IEEE Intern. Conf. — 1987. — Vol. 12. — P. 2173 — 2176.
4. Milić, L. Multirate filtering for digital signal processing: MATLAB applications / L. Milić. — New York: Hershey, 2009. — 413 p.
5. Vaidyanathan, P.P. Multirate systems and filter banks / P.P. Vaidyanathan. — New-Jersey: Prentice-Hall, 1993. — 926 p.
6. Оппенгейм, А.В. Цифровая обработка сигналов: пер. с англ. / А.В. Оппенгейм, Р.В. Шафер; под ред. С.Я. Шаца. — М.: Связь, 1979. — 416 с.

Рецензент д-р техн. наук, проф. Одес. нац. политехн. ун-та Ситников В.С.

Поступила в редакцию 4 октября 2010 г.