

СИСТЕМА МОДЕЛИРОВАНИЯ МАТРИЧНОГО УМНОЖИТЕЛЯ НА СТЕНДЕ «ALTERA-DE2» ПРИ ХАРАКТЕРНЫХ НЕИСПРАВНОСТЯХ

Кузнецов Н.А., Мередов Безирген

Одесский национальный политехнический университет

Украина, Одесса

kuznietsov@opu.ua

Разработана система моделирования работы матричного умножителя при возникновении характерных неисправностей, таких как «попарная закоротка» входных сигналов. Система позволяет исследовать и анализировать влияние заданной неисправности в матричном умножителе на достоверность его результатов.

Ключевые слова: матричный умножитель, неисправность, стенд «ALTERA-DE2»

Введение: Матричный умножитель является основным элементом большинства электронных вычислительных устройств, поэтому создание системы моделирования работы матричного умножителя при характерных неисправностях является актуальным вопросом [1]. Среди характерных неисправностей, которые возникают в вычислительных устройствах выделяют: константные неисправности, замыкание сигнала с «0» или с «1», замыкание нескольких сигналов между собой [2]. Программируемые устройства также подвержены влиянию характерных неисправностей, однако при их разработке можно заранее учесть более универсальный код для прошивки, который будет повышать достоверность вычислений [3].

Цель работы: Целью проекта является создание системы для моделирования работы матричного умножителя при характерных неисправностях на стендах «ALTERA-DE2», которые помогают наглядно продемонстрировать влияние неисправности вида «закоротка» на достоверность результатов вычислений [4].

Основная часть работы: Для достижения поставленной цели была создана система, структура которой представлена на рисунке 1.

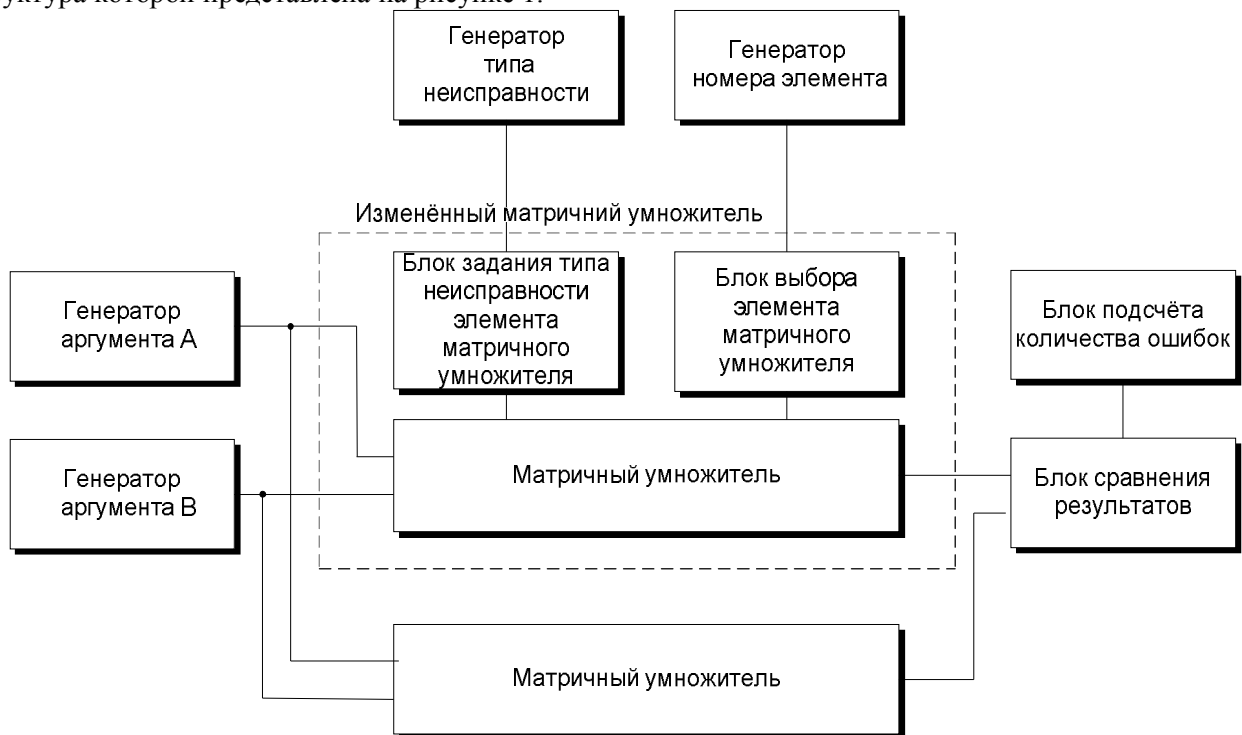


Рис. 1. Структурная схема системы моделирования матричного умножителя

Для определения влияния неисправностей на достоверность вычислений матричного

умножителя была создана модель матричного множителя в системе проектирования «Quartus» на языке «VHDL».

Матричный множитель представляет собой устройство для умножения двух целых двоичных чисел без знаков одинаковой разрядности, структура которого тесно связана со структурой математических выражений, описывающих операцию умножения в столбик, как показано на рисунке 2 для 4-х разрядных чисел.

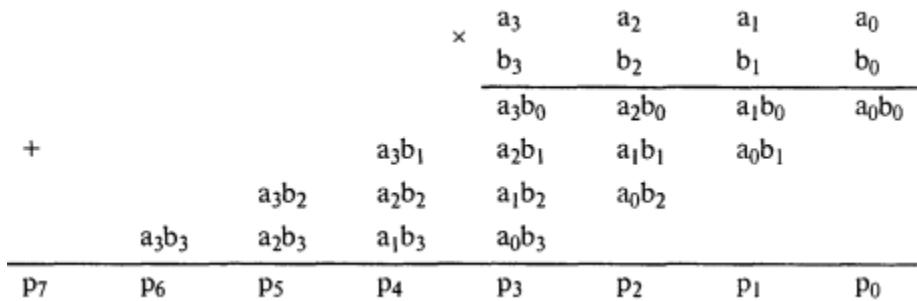


Рис.2. Матричный множитель 4-х разрядный

Матричный множитель представляет собой набор логических блоков (ЛБ), которые обеспечивают удобство наращивания размерности множителя и ускорение скорости умножения операндов. Каждый из таких блоков позволяет умножить бит «операнда А» и бит «операнда В», а также произвести операцию переноса в старший разряд, учитывать перенос из младшего разряда и выполнить операцию текущего суммирования данных для подготовки окончательного ответа, выдаваемого на выход множителя. Для того чтобы перемножить восьми разрядные целые числа необходимо использовать 64 ЛБ и логически объединить между собой. Матричный множитель должен иметь две входные шины восьми разрядные и выходную шину размерностью 16 бит. На рисунке 3 показано графические представления логических блоков обычного матричного множителя и изменённого матричного множителя.

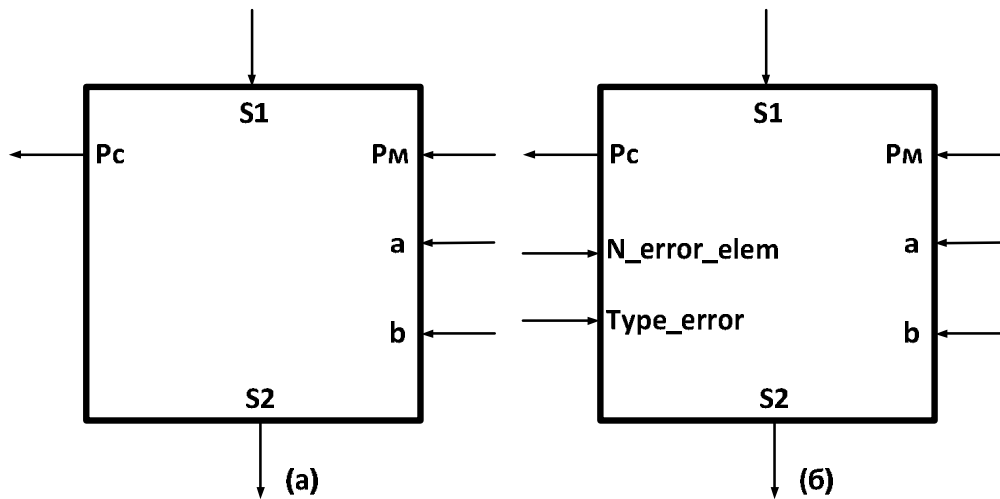


Рис.3. Логические блоки обычного матричного множителя (а) и изменённого матричного множителя (б)

У логического блока для изменённого матричного множителя дополнительно добавлен сигнал «N_ERROR_ELEM» для определения в каком режиме будет работать блок: в штатном или в режиме неисправности. Также добавлен сигнал «TYPE_ERROR» через который можно задать тип неисправности для текущего блока. В качестве типа неисправности в данных исследованиях рассматривались попарные закоротки входных «а», «b», «pm», «s1», а также константные неисправности «0» и «1», т.е. появление данных сигналов вместо ожидаемых входных.

В системе блоки «генератор аргумента А» и «генератор аргумента В» служат для задания соответствующих аргументов А и В для операции умножения.

Генератор типа неисправности позволяет задать тип неисправности для процесса моделирования работы системы.

Генератор номера элемента позволяет задавать номер логического элемента в матричном множителе, в котором будет включён режим работы элемента с заданным видом неисправности.

Блок сравнения результатов проводит проверку на равенство результатов, полученных на сумматоре, работающем в обычном режиме, и на сумматоре, работающем в режиме характерной неисправности.

Блок подсчёта количества ошибок позволяет собрать статистику на влияние заданной неисправности на достоверность результата вычисления матричного множителя.

Выводы: Разработанная система моделирования позволяет оценить влияние характерных неисправностей вида «константная неисправность» и «попарная короткая» на достоверность результатов работы матричного множителя. Система универсальна и может быть применена для N- разрядного множителя, так как она состоит из набора логических блоков, комбинируя которые можно собрать множитель необходимой разрядности. Модули системы написаны в системе проектирования «Quartus» и налажены для прошивки на стенд «ALTERA-DE2», на котором наглядно можно провести исследования по влиянию заданных типов неисправностей для заданных видов входных данных поступающих в качестве аргументов А и В на множитель.

Исследования показали, что все неисправности, в зависимости от достоверности получаемых результатов работы множителя, можно разделить на две группы: существенные и несущественные. Также количество несущественных неисправностей увеличивается с увеличением разрядности матричного множителя.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Мельник А.О. Архітектура комп'ютера. Наукове видання. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.
2. Дрозд Ю.В., Дрозд А.В., Аль-Даби М.М. Многопоточная конвейерная система и ее рабочее диагностирование // Электротехнические и компьютерные системы. – 2015. – № 19(95). – С. 218 – 221.
3. Drozd, O.V., Nesterenko, S.A., Drozd, J.V., Zashcholkin, K.V., Kuznetsov, M.O.: Programmable device. UA 107437, G 06 F 11/263, Patent of Ukraine. In: Bulletin. – № 24 (2014).
4. Drozd, A., Drozd, M., Kuznetsov, M.: Use of Natural LUT Redundancy to Improve Trustworthiness of FPGA Design. In: CEUR Workshop Proceedings, vol. 1614, 12th International Conference on ICT in Education, Research and Industrial Applications, ICTERI 2016, pp. 322-331, Kyiv, Ukraine (2016).

Kuznetsov Mykola, Meredov Bezirgen

System of modeling of matrix multiplier on the stand ALTERA-DE2 with typical fault

A system for simulating the operation of a matrix multiplier is developed in the event of characteristic faults, such as "short-circuiting" of input signals. The system allows to investigate and analyze the effect of a given fault in the matrix multipliers on the reliability of its results.

Keywords: matrix multiplier, malfunction, stand «ALTERA-DE2»