УДК 004.3

РОЗРОБКА ТА ДОСЛІДЖЕННЯ ПРОГРАМНО-АПАРАТНОГО СИНТЕЗУ ТЕСТІВ ДЛЯ ЦИФРОВИХ СХЕМ

Мельник Є.І.

Науковий керівник – док. техн. нау, проф. каф. «Комп'ютерних інтелектуальних систем та мереж», Дрозд О.В.

Зростання складності цифрових обчислювальних схем і підвищення вимог до процесу та результатів їх проектування обумовлюють необхідність розвитку вже існуючих та розробки нових ефективних методів локалізації помилок.

Сучасні системи автоматизованого керування, зв'язку, обробки сигналів, є електронними схемами надвеликої складності, тестування та верифікація яких стає найважливішим завданням, невід'ємною частиною якого є синтез діагностичних тестів.

Розвиток сучасних електронних комбінаційних схем пред'являє все більші вимоги до обсягів збереженої й переданої інформації. Збільшення обсягів інформації неминуче веде до підвищення швидкості передачі інформації й складності її обробки, що, у свою чергу, підвищує рівень помилок при прийманні й відтворенні інформації.

Недоліком існуючих методів локалізації помилок програмно-апаратного синтезу тестів для цифрових схем є низька точність та швидкодія локалізації, які необхідні для здійснення даної операції.

Схеми з часом становляться все складніше і не на всіх схемах є можливість застосувати Joint Test Action Group (JTAG), за допомогою чого поліпшилось питання стосовно пошуку та виправлення помилок в комбінаційній схемі. Також проблемними у цьому питанні є схеми, які були виконані у 80-х роках без застосування JTAG.

На данний час перспективними є дослідження, спрямовані на інтенсивне використання методів локалізації помилок, паралельних обчислень і засобів апаратного прискорення. У зв'язку із цим актуальним є науково-технічне завдання підвищення достовірності локалізації й обробки помилок.

Мета роботи полягає в зменшенні часу локалізації помилок за рахунок розробки методики синтезу тестів для локалізації помилок в комбінаційних цифрових схемах на базі паралельних обчислень.

Відповідно до поставленої мети, в роботі були вирішені наступні *задачі*:

- В результаті аналізу структурної організації систем автоматизованого проектування цифрових керуючих пристроїв, а також моделей і методів, що використовуються у процесі

їх автоматизованого проектування визначені недоліки традиційних методів локалізації помилок.

- Виконано визначення описів об’єкту синтезу, які дозволяють зрозуміти, які саме елементи комбінаційної схеми могла дати збій. Був створений лічильник, який вимірює кількість тактів, які потрібні сигналу щоб пройти від виходу елемента до виходу схеми.

- Розроблено алгоритм створення елементної моделі.

- На базі запропонованої моделі розроблена методика синтезу тестів для цифрових схем на базі паралельних обчислень, яка заснована на використанні нової методики локалізації помилок, результати застосування якої дозволяють покращити точність та швидкодію локалізації і дають кращі показники продуктивності та складності, а також однорідності апаратної реалізації для деяких класів пристроїв.

- Розроблено програмне забезпечення, яке реалізує запропонований метод локалізації помилок та може бути використане в складі САПР цифрових керуючих пристроїв.

- У середовищі розробленого програмного забезпечення проведені експерименти по зіставленню теоретично очікуваних результатів запропонованого методу синтезу з практичними результатами. Статистичні данні, отримані за результатами експериментів показали, що використання розробленого програмного продукту в процесі локалізації дозволило зменшити час пошуку збоїв та у певних випадках отримати проекті рішення, які мають більшу швидкодію та менші апаратні витрати, порівняно з використанням традиційних методів.

- Здійснено обробку отриманої діогностируємої інформації.

Об'єктом дослідження є процес синтезу тестів.

Предметом дослідження є методи локалізації помилок.

Методи дослідження базуються на діагностиці комп'ютерних систем, теорії цифрових автоматів, схемотехніці цифрових систем та теорії проектування ЕОМ і систем.

У порівнянні із традиційними методами даний метод дуже простий у реалізації. Його обчислювальна складність при машинній реалізації для задач автоматизованого синтезу істотно нижче, ніж у традиційних методів. Також метод орієнтований на використання в умовах реалізації схеми на програмованих логічних інтегральних схемах (ПЛІС) тому, що отримана схема має регулярний характер, а її комбінаційна та запам'ятовувальна частина може бути природно розподілена в просторі ресурсів ПЛІС. При використанні запропонованого методу зникає необхідність використання декількох керуючих пристроїв. Що приводить до зменшення апаратних витрат на реалізацію функції керування в цифровій системі.

На основі запропонованого методу локалізації помилок розроблений пристрій що реалізує цей метод апаратно. Пристрій реалізований на базі цифрового лабораторного стенду Altera DE2 в програмному середовищі Quartus II.

Статистичні данні отримані в результаті експериментів показали доцільність використання запропонованого методу та реалізованого на його базі програмного забезпечення в процесі синтезу тестів для цифрових схем. Використання запропонованого методу локалізації помилок на основі паралельних обчислень дозволило зменшити час локалізації помилок та збільшити ефективність контролю діагностування, порівняно з використанням традиційних методів.