

МОЖЛИВОСТІ ПРИСКОРЕННЯ СИНТЕЗУ ТЕСТІВ ДЛЯ КОМБІНАЦІЙНИХ СХЕМ.

Белодон С. В.

Науковий керівник - проф. каф. “Комп’ютерні інтелектуальні системи та мережі”

канд. техн. наук, Дрозд О.В.

Тестове діагностування складних цифрових схем істотно спрощується при вбудовуванні інтерфейсу JTAG, визначуваного стандартом IEEE 1149.1 Boundary Scan Architecture [1]. Проте це не завжди можливо, до того ж в даний час в експлуатації знаходиться безліч схемних рішень, успадкованих з минулого століття і не охоплених інтерфейсом JTAG. У цих умовах доводиться повертатися до практики використання методів синтезу тестів, які вимагають значних витрат часу, об’єктів діагностування, що істотно обмежують складність. В той же час, можливості цих методів в їх машинній реалізації постійно розширюються відповідно до підвищення ефективності комп’ютерних систем. Тести синтезуються по структурному методу, що виконується на основі d-алгоритму [2]. Об’єктом діагностування є цифрові схеми, що реалізуються на типових елементах заміни (ТЕЗ) з використанням стандартних роз’ємів і інтегральних мікросхем (ІМС), що мають опис в бібліотеках. Для скорочення часу синтезу тестів пропонується розробка і використання націлених на це розширених форматів опису ІМС.

1. IEEE Standard 1149.1-1990: IEEE Standard Test Access Port and Boundary Scan Architecture // IEEE Standard Board. — 1993. — 21 p.
2. Локазюк В.М., Надійність, контроль, діагностика і модернізація ПК: Посібник — К.: